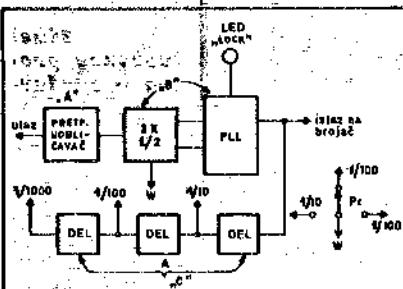


UMNOŽAC FREKVENCIJE

Većina čitalaca će, sudeći po naslovu, pomisliti da se radi o klasičnim umnožavačima frekvencije, popularno zvanim "dublerima". Međutim, moramo ih razočarati jer se ovde radi o jednom specifičnom mernom instrumentu, veoma korisnom za specifične potrebe. Naime, njegovom upotrebo biće omogućeno da u velikoj meri povećamo rezoluciju čitanja frekvencije na brojačima frekvencije u oblasti niskih frekvencija. Uzmimo da primjer da nam za frekvenciju od 1.000 Hz potrebna velika preciznost očitavanja, recimo za tri decimale. Ako bi se koristili klasičnim metodama snižavanjem vremenske baze brojača, za rezoluciju od tri decimale bi nam bilo potrebno vreme od 1.000 sekundi, odnosno 16,6 minuta! Nарavno sve to pod uslovom da nam brojač frekvencije ima ugraden vremensku bazu od 0,001 Hz, što se retko dešava, jer ogromna većina ide najniže do 0,1 Hz, što znači da može da da rezoluciju samo za jednu decimalu i to za 10 sekundi čekanja između merenja.

Iz navedenog se vidi da bi bila "velika stvar" imati mogućnost velike rezolucije uz što kraće vreme. Ako bi to bila mo-



Sl. 1. Blok-sema umnožavača frekvencije

gućnost da se dobije rezolucija na tri decimale za vreme od jedne sekunde, to bi bilo zaista "ono pravo".

Kako se to relativno jednostavno može izvesti, prikazuje nam blok-sema na slici 1. NF signal se dovodi na ulaz prepojavača-uboličavača, koji od bilo kakvog oblika na ulazu stvara četvrtaste signale, koji se odvode na stepen koji je delitelj sa dva (flip-flop) i čija je osnovna uloga da četvrtice, koje se odvode na fazni komparator, budu simetrične (tj. 50%:50%).

Sledeći stepen je PLL sistem, koji ima ugrađeni VCO, koji se kontroliše signalom greške sa faznog detektora, pa se signal iz VCO-a izvodi za korišćenje.

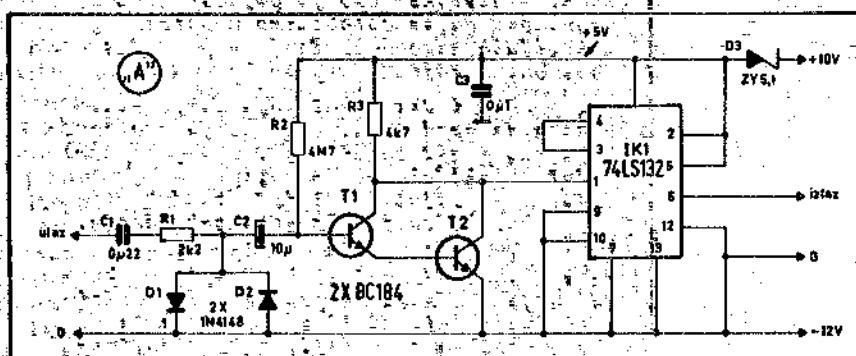
Da bi fazni detektor mogao funkcionišati

i upravljaljati VCO-om, njemu je potrebno dovesti i drugi signal jer je on u stvari komparator. Taj drugi signal dobijamo na taj način da ga uzimamo sa izlaza VCO-a, a zatim delimo sa 10, 100 ili 1000. - u zavisnosti koju rezoluciju želimo dobiti. Da bi imali identično stanje kao i kod ulaznog signala, tj. simetričnu četvrtku i signal podelejan sa dva, i ovaj signal propuštanju kroz delitelj sa dva tako da su ispunjeni svi uslovi za rad faznog komparatora, tj. ista frekvencija i simetrične četvrtke.

Da bi razumeli princip kako čitava stvar funkcioniše uzmimo primer frekvencije od 1.000 Hz koju dovodimo na ulaz i čiju tačnost želimo očitati u tri decimale. Nakon deljenja sa dva signala od 500 Hz se dovodi na fazni komparator. Da bi uspostavio ravnotežu, fazni komparator preko signala greške će "navući" VCO na frekvenciju od 1 MHz jer se od ove frekvencije deljenjem sa 1000 dobija 1000 Hz, pa zatim deljenjem sa dva 500 Hz, čime će biti uspostavljena ravnoteža na faznom komparatoru, pa ćemo uz ulazni signal od 1.000 Hz na izlazu imati signal od 1 MHz. Ako sad ovaj signal odvedemo na brojač frekvencije on će nam očitati 1000.000, a to je rezolucija od tri decimale za ulazni signal od 1.000 Hz. Da smo na ulaz delitelja sa dva doveli izlazni signal podelejan sa 100, VCO bi uzeo vrednost od 100.000 Hz, i rezolucija bi bila sa dve decimale; uz delitelj od 10 imali bi 10.000 Hz i rezolucija bi bila s jednom decimalom.

Svaka promena frekvencije ulaznog signala, izazvaće promenu frekvencije VCO-a, tako da će odnos ulazne i izlazne frekvencije biti uvek 1000, 100 ili 10 - u zavisnosti od izabranog odnosa deljenja. Prema svemu do sada izloženom vidi se sva "tajna" ovog sistema, pa se može preći na opisivanje realizacije istog.

Autor je sagradio dva tipa ovog uređenja. Prvi je bio integralni deo jednog od autorovih ranijih univerzalnih brojača frekvencije, a drugi je izgrađen kao poseban instrument, koji se može priključiti



Sl. 2a - Šema veza prepojavača-uboličavača

na svaki brojač frekvencije. On je sa-
graden u kutiju od livenog silumina koja
u unutrašnjosti ima žlebove za prijem
štampanih pločica. To je uslovilo da se
ceo uređaj uradi u modularnom vidu sa
tri modula: (1) Ulazni prepojačavač-uobičavač, (2) PLL sistem i konačno (3)
Trostruki delitelj frekvencije sa 10.

Pri prelasku na detalje treba napomenuti koji frekvencijski opseg ceo sistem pokriva. Limitujući faktor ovde je PLL čip 4046. Standardna verzija ovog čipa ima ugrađeni VCO koji neće da radi iznad 3,5 MHz, što ograničava ulazni signal uz rezoluciju od 3 decimala na 3,5 kHz. Brza verzija ovog čipa, tj. HEF4046, ide do iznad 7 MHz, što daje gornju granicu ulaznog signala od 7 kHz. Naravno uz rezoluciju od dva decimala granica se pomera na 70 kHz, a uz jednu na 700 kHz.

Ulazni prepojačavač-uobičavač dat je na slici 2a. Na ulazu imamo uobičajenu zaštitu od prenapona putem antiparalelnih dioda. Dva tranzistora BC184 vezana su u Darlingtonu kao prepojačavači koji daju dovoljno napona za pobudu IK 74LS132, koji je u stvari identičan sa kolom 74LS00, sa razlikom da 132 ima ugrađen histcrezis, sa efektom Šmitovog trignera (korišćene su samo dve sekcije jer je to dovoljno). Ulazna osetljivost je reda 200 mV, što je potpuno dovoljno za rad u normalnoj praksi. Osnovni napon za napajanje celog sistema je 10 V stabilizovanih. Pošto se ovde radi o integriranom kolu TTL serije napon se snižava putem serijski vezane Zener diode D3. Izgled štampane pločice i raspored elemenata dati su na sl. 2b i 2c.

Sl. 3a nam daje šemu PLL sistema. Pošto je signal iz prepojačavača TTL nivoa, a ceo PLL modul radi na CMOS nivou, tranzistor T1 vezan je kao translator nivoa. Sa njega signal se uvodi na prvi sistem dvostrukog flip-flopa (CD4013), a sa 13. nožice signal odvodimo na fazni komparator koji se nalazi u kolu 4046.

Dруги signal za komparaciju dovodi se sa delitelja (koji su na posebnom modulu) na pin 3 označen sa "W". Sa nožice 1 odvodi se drugi signal za komparaciju u fazni komparator čipa 4046.

Otpornici R4, R5 i elektrolit C2 su elementi filtra signala greške sa faznog komparatora i njihove vrednosti su tako iza-

Pogled na konstrukciju imaloča frekvencije

brane da daju dovoljnu filtraciju uz minimalno kašnjenje.

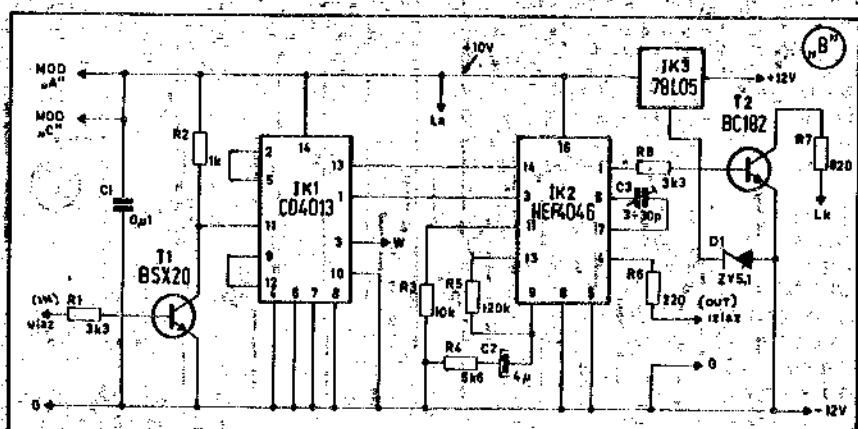
Trimer-kondenzator C3 služi za podešavanje opsega VCO-a. On se podešava da sistem radi sigurno kod ulaznog signala 7 kHz uz rezoluciju od 3 decimala (deljenje sa hiljadu). Nožica 1 čipa 4046 menja stanje sa "1" na "0" u momentu kad će PLL "ulokujte".

Ovde bi se mogla vezati LED dioda direktno prema masi, no ona bi se gasila kad se spoj ulokuje; smatramo da je mnogo

eduaktivnije ako se ona pali kad je uspostavljen ekvilibrijum. U tome cilju koristi se tranzistor T2 kao inverter, tako da se dioda pali kad je spoj ulokovan.

Sa pina 4 vodimo izlazni signal, preko zaštitnog otpornika R6, na izlaz prema brojaču frekvencije. Sa izlaza se takođe uzima signal za ponudu deliteljskog lanca.

Na ovom modulu je, smešten stabilizator od 10 V; tim naponom se takođe napajaju i moduli "A" i "C". Pošto su stabilizatori od 10 V dosta retki, koristimo



Sl. 3a - Dvostruki flip-flop i PLL sistem

ka 3,2 mm pa se pločice mogu montirati pomoću odgovarajućih distancera direktno na metalnu ploču šasiju unutar neke proizvoljno odabrane metalne kutije.

Za ulazni i izlazni priključak je izabran BNC konektor, dok za priključak napajanja je izabrano ČINC gnezdo. Za napajanje nam je potreban napon od 12 V uz potrošnju od 60 mA. Kao izvor može da nam posluži sam brojač frekvencije s tim da mu izvedemo taj napon na neki priključak na zadnjoj strani uređaja.

Primena ovog instrumenta je višestruka. Pre svega, korisno će poslužiti za podešavanje elektronskih orgulja starijeg tipa, koje imaju LC oscilatore na najvišoj oktavi, koji moraju biti precizno podešeni. Pošto se tu radi o C5 skali (sa povisilicama) postoji čitav niz oscilatora čije podešavanje određuje podešenost svakog to na kako na osnovnoj tako i na svim subharmonikama, jer se ostali niži tonovi de-

ponaj od 5 V, koji sa diodom D1 daje napon od 10 V. Imaće, napomenimo da ako LED dioda neće da se upali, a signal je priključen na ulaz, za to mogu da budu dva razloga. Prvi je da nivo signala nije dovoljan (minimum 200 mV) ili je maksimalna ulazna frekvencija van domena specifikacije. Naine, to je 7 kHz za tri decimale, 70 kHz za dva decimala i konačno 700 kHz za jednu decimalu.

U modulu "C" delitelja frekvencija (sl. 4a) rade dva standardna CMOS kola CD4017 i CD4518. Prvi je delitelj sa deset, a drugi je dvostruki delitelj sa deset.

Svi delitelji su vezani kaskadno, a izbor željenog odnosa deljenja vršimo jednopolnim preklopnikom u 4 položaja. Prvi položaj "0" u stvari vezuje komparator di-

rektno na izlaznu frekvenciju, tako da ceo sistem deluje samo kao sieditelj signala, tj. ulazna frekvencija - izlazna frekvencija. Položaji "1", "2" i "3" znače broj decimala. Na modulu delitelja stavili smo i redni otpornik R1 koji je predotpor za pogon signalne LED diode koja pokazuje da je uređaj priključen.

Na sl. 3b, 3c, 4b i 4c date su štampane pločice i raspored elemenata za module "B" i "C".

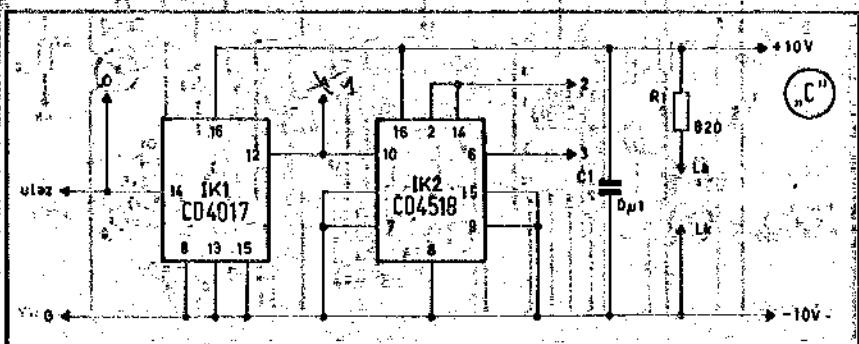
Neke napomene za štampane pločice. Kao i kod većine autorovih konstrukcija, otpornici i diode su montirani vertikalno. Kako se iz priloženih fotografija vidi, pločice se montiraju uglavljivanjem u žlebove metalne kutije. Međutim, na svakoj pločici postoje označke za dve rupe preči-

Primer ugrađenog unutrašnjega frekvencije kao integralnog dela brojača frekvencije

rviraju pomoću delitelja, ali greška u osnovnom oscilatoru ostaje za sve niže tone.

Druga primena je za sve moguće NP analize. Ponekad treba analizirati tačnost frekvencije mreže naizmenične struje, ako se ta frekvencija koristi kao referenca za neki časovnik, pa se može dužim posmatranjem promene frekvencije približno odrediti tačnost časovnika.

Na kraju napominjemo da je donja granica frekvencija ovog uređaja reda 15 Hz, što pokazuje izuzetnu fleksibilnost VCO-a kod čipa 4046 jer kod rada sa tri decimala (u opsegu 15 Hz do 7 kHz), VCO uzima vrednosti od 15 kHz do 7 MHz i to sve s jednim fiksnim kapacitetom.



Sl. 4b - Pločica sa štampanim vezama za spoj sa sl. 4a